

コンピュータ用デジタル LSI の 統計的シミュレーション

猪 平 進

1. 緒 言
2. モデリング
 - 2.1 統計モデル
 - 2.2 相関のモデルの定式化
3. シミュレーション方法
4. シミュレーション結果
5. 結 言

1. 緒 言

コンピュータ技術の革新はとどまるところがなく、半年も経たないうちに従来よりも高速・高機能のマイクロプロセッサやソフトウェアを搭載し、かつ大容量のメモリやハードディスクを具備したパソコン (PC) やワークステーション (WS) が低価格で市場に登場してくる。とくにコンピュータのハードウェアの価格低下は激烈であり、機種によっては約1年で $\frac{1}{2}$ 以下になるものも珍しくないほどである。他の商品におけるいわゆる「価格破壊」の現象と同期して、コンピュータ・ハードウェアの価格低下傾向は当分続くであろう。

ところで現在のコンピュータは、大型のスーパーコンピュータから小型のパソコンに至るまで、その中心となる装置 (コンピュータ本体) に高集積の半

導体 LSI が用いられる。とくに基幹となるのはマイクロプロセッサとメモリの LSI であるが、これらの LSI は、市場の価格低下の圧力の下、チップの高集積化・高密度化の競争に絶えずさらされており、これを実現するため、素子の微細化とチップ内素子数の増大および回路規模の拡大が進んでいる。すなわち今日コンピュータ用に製造される LSI チップでは、素子サイズは数十 μm^2 まで微細化し、集積される素子はマイクロプロセッサの場合 300 万個（インテルの Pentium プロセッサの例）にまで達する¹⁾。

このような微細化・大規模化したコンピュータ用 LSI においては、第 1 に集積素子数の増大から人手による設計が困難になったこと、第 2 に実体素子を用いて組立てた試験回路（ブレッドボード実験）で寄生素子の混入が避けられず正確な性能予測が難しいことなどのため、コンピュータによるシミュレーションが設計に多用される事態となっている。とりわけ高集積化・微細化したマイクロプロセッサやメモリのようなデジタル LSI の分野では、寄生容量や寄生インダクタンスの混入しないシミュレーションの方が、試験回路による実験よりも実際の LSI（実験時に混入する寄生素子は存在しない）の性能を正確に予測できるわけである。ここに「コンピュータの力に依存しなければコンピュータの設計ができない」現状が生まれている。

デジタル LSI の設計は、上流工程としての論理設計と回路設計から、下流の製造プロセスと結びついたプロセス設計、デバイス設計およびレイアウト設計などに分かれるため、これらの設計段階に応じて固有のシミュレーションや CAD (Computer Aided Design) の利用が進んでいる²⁾が、本論文ではこのうち回路設計段階でのシミュレーションに焦点を当てている。

デジタル LSI の回路設計において設計者に課される重要な課題は、製造プロセスの変動に伴う素子パラメータのばらつきを考慮して対象となる回路の性能を目標の仕様内に収めること（これをマージン設計という）である。もしこれに失敗すれば LSI の歩留りは低下し、いわゆる設計仕損につながる。本論文では、デジタル LSI の回路設計段階で素子パラメータのばらつきが

回路特性におよぼす影響を定量的に予測するためのモデルとこれを用いた統計シミュレーション結果について述べる。

なお統計シミュレーションについては、従来、アナログ LSI を対象にモデルおよびシミュレーション手法を検討してきた³⁾が、今回、コンピュータ用デジタル LSI に展開するに際し、同じように多変量解析法を基礎にしながらも別種のモデル構築を行った。また同時にバイポーラ素子を対象にしていたモデルを、近年重要性の増している MOS 素子をも扱えるよう拡張した。

2. モデリング

デジタル LSI に用いられる素子は、バイポーラ型では能動素子としてバイポーラ・トランジスタとダイオード、受動素子として抵抗が用いられるが、MOS 型ではバイポーラ・トランジスタの代りに MOS 電界効果トランジスタが用いられ、それらがたとえば 1 cm^2 角程度のシリコンチップ上に多数配置されて回路を形成する。この LSI 内の素子は、製造プロセスの温度変動、素子形状作成時のマスクパターンの合せ誤差などによって設計値通りの素子パラメータ値になるわけではなく、一定の統計的製造ばらつきをもつ。ただし LSI 内の素子は、同一製造プロセスで同一チップ上に製造されるため、その素子パラメータのばらつきに強い相関があるという特徴がある。この相関を含む統計モデルを構築することが、LSI の回路性能 (たとえば DC 電位) を統計的にシミュレーションするためのキーポイントである。

アナログ LSI の場合には、素子のばらつき (その分布と相関) を表わす統計モデルを、多変量解析の主成分分析法⁴⁾に基づき次のように定式化した⁵⁾。

$$Y = UA^{\frac{1}{2}}X \quad (1)$$

ここで A および U はそれぞれ相関行列 R の固有値、固有ベクトルであ

り、 X は主成分である。

デジタル LSI の場合、通常アナログ LSI よりもチップ内に集積される素子数が多い。アナログの素子数は数百～数千であるのに対し、デジタルは数万～数百万に達する。またアナログでは重要となる、隣接した素子間のマッチング⁶⁾(ペア素子間の相関) をデジタル LSI では設計上あまり考慮する必要がない。このような条件を考慮して、デジタル LSI 応用を志向した統計モデルを以下のように立案した。

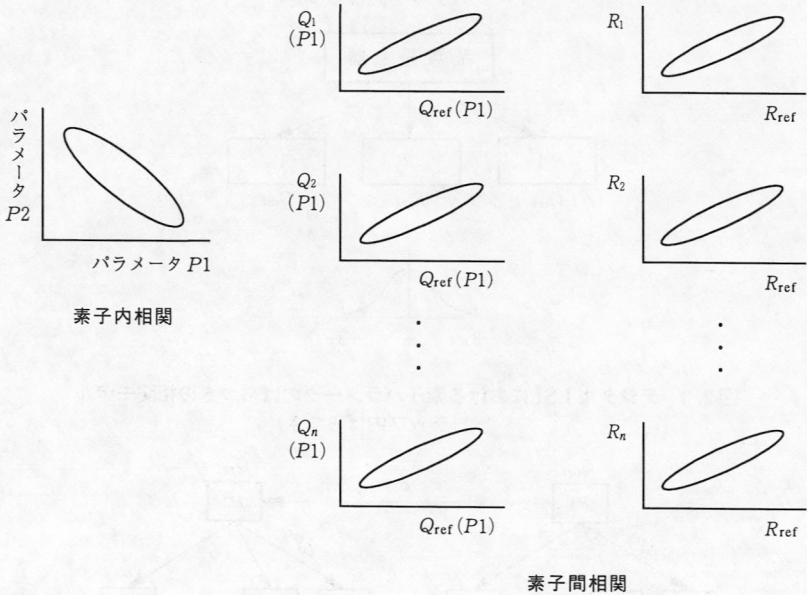
2.1 統計モデル

いま比較的長期にわたる製造ロットを考え、その任意のウェーハより同数ずつサンプルした LSI チップの集合を想定する。この LSI チップ内にトランジスタ (バイポーラまたは MOS) およびダイオードが各 n 個、抵抗が $2n$ 個集積化されている。チップ内における n 個のトランジスタ ($Q_1 \sim Q_n$) のうち 1 つを代表に選び、これをレファランス・トランジスタ Q_{ref} と定義する。同様に抵抗およびダイオードについてもレファランス抵抗 R_{ref} およびレファランス・ダイオード D_{ref} を定義しておく。このレファランス素子の素子パラメータのチップ間ばらつきは、それぞれ中心値 m のまわりに分布をもつ。ここでトランジスタについては素子パラメータは数個あるから、バイポーラの場合 V_{BE} (ベース・エミッタ間電圧)、MOS の場合 V_{TH} (しきい電圧) をチップ間ばらつきのキー・パラメータとする。なおキー・パラメータとしては、後述するように実測値の分布が正規分布に近いものを選ぶ。

次にレファランス・トランジスタを除く他のトランジスタたとえば Q_i は、レファランス・トランジスタ Q_{ref} と同一チップ上に存在することから、それらの素子パラメータのばらつきは Q_{ref} のばらつきとの間に、図 2.1 のように強い相関がある。この相関は、デジタル LSI 設計で用いる「素子パラメータのチップ内ばらつき」に対応している。

図 2.1 の素子パラメータのばらつき (その分布と相関) を表わすのに、ここ

図 2.1 デジタル LSI における素子パラメータの製造ばらつき



では回帰モデル⁷⁾に基づく図 2.2 および図 2.3 のモデルを採用した。この理由は、すでに述べたようにデジタル LSI では素子数が多いため、素子数の次元をもつ相関行列を形成する必要がある式(1)の方法は適用しづらいこと、かつデジタル LSI ではペア素子の相関よりもチップ内ばらつき (チップ上素子間相関) が設計上問題となることによる。

このモデルでは、図 2.2 の分布モデルに示すように、まず正規乱数を発生し、この正規乱数から各レファランス素子のキー・パラメータを発生する。トランジスタのキー・パラメータは、バイポーラで V_{BE} (ベース・エミッタ間電圧)、MOS で V_{TH} (しきい電圧) であり、抵抗のそれは抵抗値 R 、ダイオードはオン電圧 V_D である。このとき各パラメータ (V_{BE} , V_{TH} , R , V_D) の分布は、それが正規分布と仮定すると、チップ間ばらつきの測定データよりその平均値 m と 3σ (σ は標準偏差) 値を基に決定される。

図 2.2 デジタル LSI における素子パラメータのばらつきの分布モデル
(チップ間ばらつき)

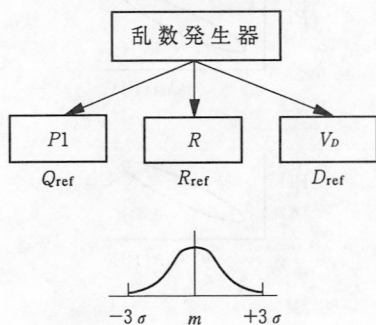
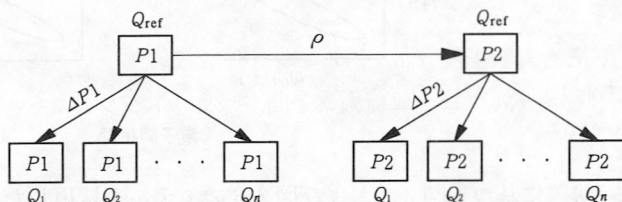
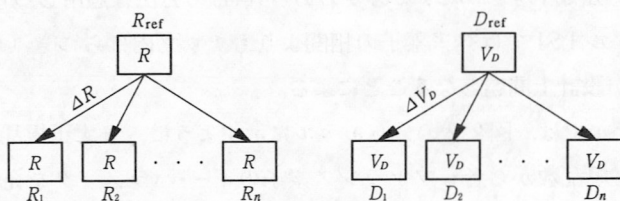


図 2.3 デジタル LSI における素子パラメータのばらつきの相関モデル
(チップ内ばらつき)



(a) トランジスタ (バイポーラまたは MOS)



(b) 抵抗

(c) ダイオード

次にトランジスタ内パラメータ $P1$ と $P2$ 間に相関がある場合 (たとえばバイポーラの $V_{BE} - h_{FE}$ 間, MOS の $V_{TH} - \beta$ 間など), 素子内パラメータ間相関 (その相関係数を ρ とする) を含む回帰モデルを用いて, レファランス・トランジス

タのパラメータ P_2 を P_1 から発生する。最後にチップ上の各素子はそれぞれレファランス素子のパラメータ P_1, P_2, R および V_D をシード (種) として、そのチップ内ばらつき値を用いて図 2.3 のように回帰モデルで発生できる。

この統計モデルでは、トランジスタ、抵抗およびダイオードなどの各素子パラメータのばらつきの分布は正規分布と仮定している。バイポーラ・トランジスタの場合、測定データの分析⁸⁾によるとこの仮定は必ずしも正しくなく、とくにバイポーラの素子内パラメータのうち設計上重要な飽和電流 I_{SS} および電流増幅率 h_{FE} は正規分布ではなく対数正規 (log-normal) 分布に近いことが知られている。そこでこの統計モデルではベース・エミッタ用電圧 V_{BE} をキー・パラメータに選ぶことにより、後述するように I_{SS} を V_{BE} との関係式から決定し、 h_{FE} は I_{SS} との相関から回帰モデルで発生することにより、 h_{FE}, I_{SS} とも対数正規分布を得ることができた。

また図 2.3 のモデルでは、異種の素子間、つまりトランジスタと抵抗間、あるいは抵抗とダイオード間の相関は無視しており、これらの間のばらつきは相互に独立となっている。もし抵抗にベース拡散抵抗⁶⁾などが用いられると、トランジスタのパラメータと抵抗の抵抗値 R との間にも相関が発生するが、ここではデジタル LSI で一般に用いられるイオン打込み抵抗を前提し、トランジスタ-抵抗間相関は無視した。ただし必要があればこのような相関を含むようモデルを拡張することは容易である。

次に、上に述べた相関を表わす回帰モデルの定式化を以下に示す。

2.2 相関のモデルの定式化

(1) チップ内素子間相関のモデル

このチップ内素子間相関はデジタル LSI 設計におけるチップ内ばらつきに相当する。

まずトランジスタのキー・パラメータ P_1 (バイポーラでは V_{BE} , MOS では

さらにダイオード $D_1 \sim D_n$ のオン電圧 V_D および飽和電流 I_s も、トランジスタの V_{BE} および I_{SS} の発生法と同じように式(2)と式(3)から発生する。

(2) 素子内パラメータ間相関のモデル

トランジスタのパラメータ $P1$ と $P2$ の間に相関がある場合 (たとえばバイポーラの $V_{BE} - h_{FE}$ 間, および MOS の $V_{TH} - \beta$ 間など), $P2$ は独立に乱数から発生できず, キー・パラメータ $P1$ との相関モデル (回帰モデル) より, 次のように発生する。

トランジスタのパラメータ $P1$ と $P2$ のチップ間ばらつきがわかっているとして, その各平均値および標準偏差値をそれぞれ $m(P1)$, $m(P2)$ および $\sigma(P1)$, $\sigma(P2)$ とする。この $P1$ と $P2$ について N 個のデータがあり, そのばらつきに強い相関があるとき, その相関係数を ρ ($0 \leq |\rho| \leq 1$) とし, $P2$ と $P1$ の間に線型の相関を仮定すると,

$$\overline{P2}^{(k)} = a + b \cdot P1^{(k)} \quad (k=1, 2, \dots, N) \quad (4)$$

なる関係により, $P2^{(k)}$ は $P1^{(k)}$ から予測できる⁹⁾。ここで $\overline{P2}^{(k)}$ は $P2^{(k)}$ の予測値である。式(4)の係数 a , b は最小二乗法によって次のように定まる。

$$\left. \begin{aligned} a &= m(P2) - b \cdot m(P1) \\ b &= \rho \frac{\sigma(P2)}{\sigma(P1)} \end{aligned} \right\} \quad (5)$$

次にパラメータ $P2$ の変量 $P2^{(k)}$ と予測値 $\overline{P2}^{(k)}$ との誤差を $\epsilon^{(k)}$ とすれば, その分散は次式で表わすことができる。

$$\sigma_{\epsilon}^2 = \sigma^2(P2) (1 - \rho^2) \quad (6)$$

こうしてレファランス・トランジスタ Q_{ref} に着目すると, そのパラメータ $P2$ のばらつき (変量) は, 次式によりパラメータ $P1$ のばらつき (変量) と関係づけられる。

$$Q_{\text{ref}}^k(P2) = m(P2) + \rho \frac{\sigma(P2)}{\sigma(P1)} [Q_{\text{ref}}^k(P1) - m(P1)] + \varepsilon_k \quad (7)$$

ここで、 k はチップ間ばらつきのケース数、また ε_k は次式で与えられる。

$$\varepsilon_k = \sigma(P2) (1 - \rho^2)^{\frac{1}{2}} g_k \quad (8)$$

g_k は $N(0, 1)$ の正規乱数である。

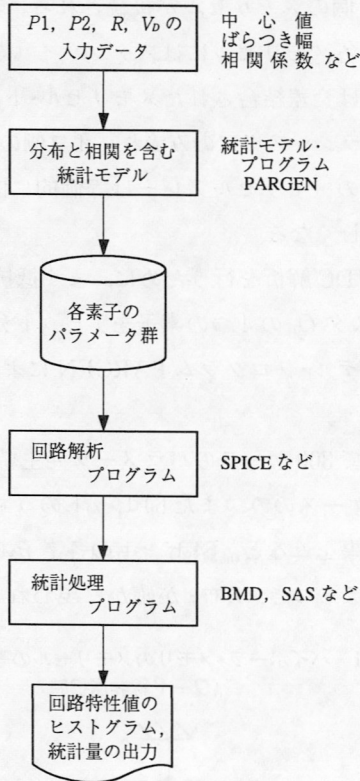
式(7)および(8)を用いることにより、レファランス・トランジスタのパラメータ $P2$ のばらつきはキー・パラメータ $P1$ のばらつきから発生できることになる。

3. シミュレーション方法

上述の統計モデルを用いたデジタル LSI のシミュレーション方法の概略を、図 3.1 にフローチャート (流れ図) で示す。この図において、統計モデル・プログラム PARGEN が新たに開発した部分である。このプログラム PARGEN は、入力された素子パラメータのばらつきデータ (その中心値、チップ間ばらつき幅、チップ内ばらつき幅) およびパラメータ間相関係数に基づき、分布と相関をもつ素子パラメータ群をチップ上の各素子に対して発生し、これを回路解析プログラム SPICE¹⁰⁾ 用入力データに変換する。次にこの PARGEN の出力すなわち SPICE 用入力データにより回路解析を k 回反復し、必要な回路特性 (DC 解析では回路の DC 電圧、AC 解析では周波数特性、過渡解析では遅延時間など) のばらつきを得る。最後に回路特性のばらつき結果、すなわち SPICE の出力結果を既存の統計処理プログラム BMD¹¹⁾ または SAS¹²⁾ などにより処理して、DC 電圧などの各特性値のばらつきの基本統計量 (平均値、標準偏差など)、ヒストグラムや散布図などを得ることができる。

ここで開発したプログラム PARGEN のモジュール数は 20、ステップ数は 500、使用言語は FORTRAN である。

図 3.1 統計的シミュレーションの概要



4. シミュレーション結果

例として、4kビットのバイポーラ・メモリに対して上記の統計モデルおよびシミュレーション手法を適用した結果を以下に示す。

コンピュータ用メモリは、一般にフリップフロップ型の単位回路（これをメモリセルと呼ぶ）を繰返し行列状に配置して構成される¹³⁾。4kビットメモ

りの場合、メモリセルは 64×64 ビットの行列（アレーという）となり、1本のワード線に $n=64$ 個のメモリセルが接続される。非選択時にはワード線は低レベルにあり、各メモリセルにはスタンバイ（待機時）電流のみが流れる。スタンバイ電流は交差結合されたメモリセル・トランジスタのうちオン状態にある片方のトランジスタにのみ流れ、オフ側のトランジスタには流れないため、非選択時のメモリセルアレーは等価的に図 4.1 の単位回路が 64 個連なったものに等しくなる。

そこで非選択時の DC 解析を行うために、まず抵抗 R_1 、 R_2 、ダイオード D_1 およびトランジスタ Q_1 の 4 つの素子を 1 ビット分として、その 64 組のパラメータを統計モデル・プログラム PARGEN により発生した。その結果を表 4.1 に示す。

表 4.1 では、全部で 300 ケースのパラメータ発生結果のうち、ケース 1、3 および 7 の 3 つのケースのみ、また 64 ビットのうち 17~62 ビットは省略して示した。この結果をみると、64 ビットの各素子のチップ内ばらつき（相関）およびチップ間ばらつき（分布）が確かに現われているのがわかる。た

図 4.1 バイポーラ・メモリのメモリセルの等価回路
(ワード線非選択時)

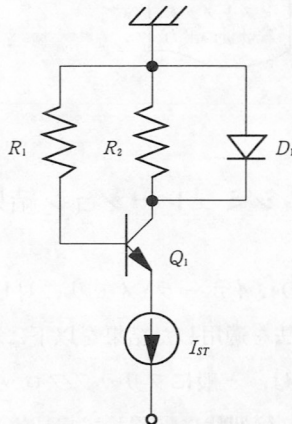


表 4.1 パラメータ発生結果

CASE 1		レファランス・パラメータ				
		R	V_D	V_{BE}		h_{FE}
		52.76	0.3684	0.6844		46.34
NO.	R_1 (k Ω)	R_2 (k Ω)	V_D (V)	V_{BE} (V)	I_{SS} (A)	h_{FE}
1	53.98	52.97	0.3669	0.6844	2.100D-16	47.38
2	52.82	52.11	0.3662	0.6831	2.200D-16	47.99
3	52.76	52.93	0.3646	0.6837	2.155D-16	47.39
4	52.62	52.45	0.3643	0.6850	2.057D-16	46.27
5	53.02	52.54	0.3667	0.6842	2.114D-16	47.17
6	53.04	53.38	0.3636	0.6839	2.140D-16	45.73
7	53.02	52.80	0.3672	0.6851	2.047D-16	47.08
8	53.59	52.98	0.3659	0.6823	2.259D-16	46.22
9	52.07	51.93	0.3672	0.6855	2.013D-16	45.45
10	52.00	52.56	0.3652	0.6848	2.068D-16	48.26
11	51.89	53.34	0.3636	0.6851	2.047D-16	45.76
12	52.56	53.39	0.3667	0.6829	2.214D-16	45.15
13	53.10	52.18	0.3661	0.6853	2.028D-16	47.18
14	52.39	51.87	0.3659	0.6854	2.027D-16	46.24
15	53.54	53.53	0.3650	0.6842	2.113D-16	48.08
16	52.68	52.57	0.3666	0.6846	2.083D-16	46.47
63	52.86	53.49	0.3630	0.6842	2.112D-16	47.79
64	52.29	52.91	0.3645	0.6847	2.073D-16	48.10
CASE 3		レファランス・パラメータ				
		R	V_D	V_{BE}		h_{FE}
		44.44	0.3533	0.6771		48.77
NO.	R_1 (k Ω)	R_2 (k Ω)	V_D (V)	V_{BE} (V)	I_{SS} (A)	h_{FE}
1	43.47	44.56	0.3508	0.6773	2.703D-16	47.00
2	44.28	45.70	0.3535	0.6773	2.704D-16	48.21
3	43.98	45.57	0.3533	0.6772	2.716D-16	50.95
4	43.69	43.52	0.3526	0.6776	2.681D-16	51.23
5	45.42	44.72	0.3559	0.6772	2.712D-16	48.71
6	44.86	45.92	0.3541	0.6767	2.764D-16	47.94
7	44.69	44.30	0.3552	0.6774	2.700D-16	48.69
8	43.52	43.85	0.3528	0.6768	2.752D-16	49.36
9	43.44	44.31	0.3534	0.6766	2.780D-16	47.43
10	44.91	45.74	0.3558	0.6788	2.567D-16	48.15
11	45.09	44.36	0.3540	0.6777	2.669D-16	49.16
12	45.25	44.77	0.3539	0.6787	2.571D-16	48.10
13	43.48	45.01	0.3532	0.6757	2.865D-16	50.41
14	44.31	44.09	0.3535	0.6779	2.651D-16	48.64
15	43.34	43.92	0.3527	0.6772	2.715D-16	48.80
16	45.20	44.31	0.3525	0.6774	2.698D-16	48.23
63	45.06	44.42	0.3530	0.6767	2.766D-16	48.91
64	44.63	43.74	0.3543	0.6770	2.732D-16	49.55

表 4.1 パラメータ発生結果 (つづき)

CASE 7		レファランス・パラメータ				
		R	V_D	V_{BE}	h_{FE}	
		60.20	0.3639	0.7003	28.37	
NO.	R_1 (k Ω)	R_2 (k Ω)	V_D (V)	V_{BE} (V)	I_{SS} (A)	h_{FE}
1	59.92	60.94	0.3631	0.7007	1.173D-16	28.47
2	59.95	59.59	0.3657	0.7015	1.138D-16	28.89
3	59.67	59.97	0.3623	0.6997	1.216D-16	28.30
4	60.37	59.96	0.3620	0.7001	1.198D-16	28.60
5	60.03	60.47	0.3643	0.7001	1.195D-16	27.51
6	61.84	59.72	0.3657	0.7009	1.160D-16	29.14
7	61.06	61.35	0.3636	0.7006	1.175D-16	28.89
8	60.91	59.88	0.3638	0.7002	1.194D-16	27.26
9	60.04	59.67	0.3650	0.7011	1.156D-16	28.52
10	58.51	60.04	0.3615	0.7003	1.190D-16	28.25
11	61.37	60.54	0.3637	0.7000	1.199D-16	27.88
12	60.28	59.92	0.3654	0.6994	1.225D-16	29.40
13	60.17	59.68	0.3634	0.6991	1.241D-16	28.79
14	59.53	60.34	0.3632	0.7007	1.170D-16	28.52
15	61.02	60.57	0.3644	0.7009	1.162D-16	26.87
16	59.21	59.89	0.3640	0.6985	1.267D-16	28.29
63	61.35	60.55	0.3638	0.6996	1.220D-16	28.49
64	60.53	61.48	0.3643	0.6992	1.237D-16	29.20

たとえば抵抗 R_1 と R_2 に注目すると、CASE 1 と CASE 3 間ではチップ間ばらつきにより大きく値が異なるが、CASE 1 内 (すなわち同一チップ内) では R_1 と R_2 との間、およびビット間はチップ内ばらつきによりばらつきが抑えられる (すなわち強い相関を示す)。

なお各素子に対する入力データは、実測されたデータに基づいて以下の値を用いた。まず抵抗 R_1 および R_2 については、その中心値を設計値である 50 k Ω 、チップ間ばらつき幅を 3 σ 値で $\pm 30\%$ 、チップ内ばらつき幅を同じ 3 σ 値で $\pm 9\%$ 、ダイオード D については、オン電圧 V_D の中心値を 360 mV、チップ間ばらつき幅を ± 15 mV (3 σ 値)、チップ内ばらつき幅を ± 7 mV (3 σ 値) とした。トランジスタ (バイポーラ) については、 V_{BE} の中心値 673 mV、チップ間ばらつき幅 ± 36 mV (3 σ 値)、チップ内ばらつき幅 ± 5 mV (3 σ 値)、また h_{FE} の中心値 50、チップ内ばらつき幅 $\pm 4.2\%$ (3 σ 値)、 h_{FE} — V_{BE} 間相関係数 -0.95 とした。

統計モデルにより発生した各素子のパラメータ群 (表 4.1) を、次に回路解析プログラム SPICE に入力して、バイポーラ・メモリの DC 解析を 300 ケース行い、その結果の DC 特性値の変動を統計処理プログラム BMD により処理した。このようにして得られたバイポーラ・メモリの統計シミュレーション結果の一部を図 4.2 および表 4.2 に示す。

図 4.2 に示したヒストグラムは、非選択ワード線におけるメモリセル (図 4.1) のコレクタ電圧 (High Level) のばらつきを示す (300 ケースの例)。この電圧は、メモリの安定動作に影響するために設計上重要な項目である。素子パラメータの設計値 (ノミナル値) を用いた計算結果を表 4.2 に比較して示したが、問題のノード 2 の電圧の場合、ノミナル値 (すなわち設計値) の計算は -11.6 mV となるのに対し、統計シミュレーションでは -5.6 mV (最大値) から -54.8 mV (最小値) の間で大きいばらつきを示す。したがって、設計者はこの統計シミュレーションを使用して、設計時にこのようなばらつきをあらかじめ予測しておく (マージン設計) ことにより、メモリ LSI の設計仕損を避けることが可能となる。

5. 結 言

本論文では、多変量解析の考え方を基礎にして、コンピュータ用デジタル LSI の素子パラメータのばらつき (その分布と相関) を表現できる統計的モデルを研究し、定式化した。このモデルでは、デジタル LSI チップ上の 1 つのレファランス・素子に対し、素子パラメータのチップ間ばらつきを正規乱数により発生しておき、次にこれをシード (種) として、チップ上の全素子パラメータ (チップ内ばらつき) を回帰モデルにより発生する。このようにデジタル LSI の設計においてなじみの良いチップ間ばらつきとチップ内ばらつきという概念をモデル化した結果、簡便なやり方で LSI チップ上の同種の素子間のパラメータにばらつきの分布と相関をもたせることに成功した。

図 4.2 メモリセルのコレクタ電圧 (High Level) のヒストグラム
(300 ケースの統計シミュレーション結果)

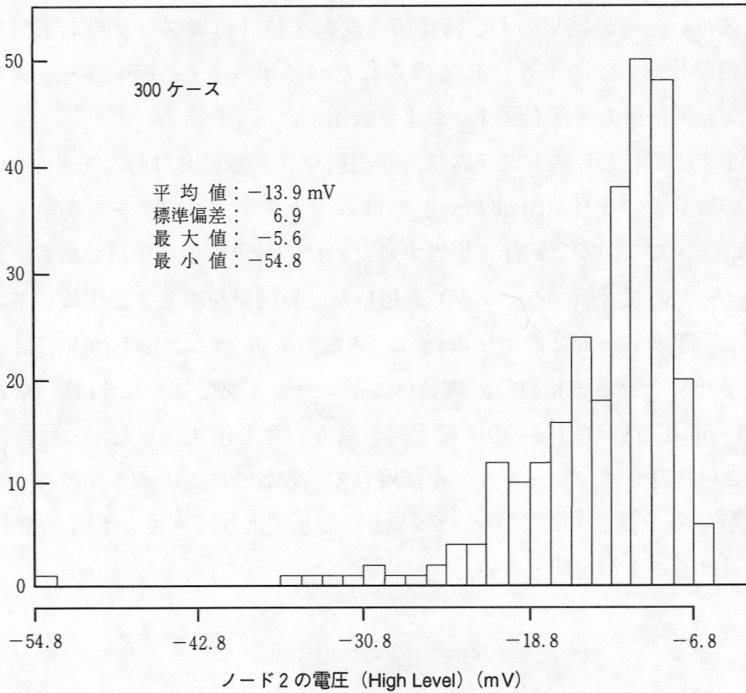


表 4.2 バイポーラ・メモリの統計シミュレーション結果
DC 解析 300 ケース

(単位: V)

ノード番号	平均値	標準偏差	最大値	最小値	ノミナル値
1	-0.6393	0.0137	-0.6028	-0.6901	-0.6367
2	-0.0139	0.0061	-0.0056	-0.0548	-0.0116
3	-0.4827	0.0456	-0.3248	-0.6059	-0.4884

またこの統計モデルのプログラム (PARGEN) を作成し, 既存の回路解析プログラム (SPICE) および統計処理プログラム (BMD) と合せることにより, デジタル LSI の統計シミュレーションを可能にした。

この統計シミュレーション方法を 4k ビットのバイポーラ・メモリに適用し、メモリ設計上重要な非選択時のメモリセルのコレクタ電圧のばらつき等をシミュレーションした。なおこの統計シミュレーション値は、試作した TEG (Test Element Group) による測定値と測定誤差を除きほぼ一致することが別に¹⁴⁾確かめられている。

本論文で述べた回帰モデルを中心にした統計モデルは、すでにアナログ LSI に対し構築した主成分モデル⁵⁾と比べ、チップ内全素子に対する相関行列の形成や、その固有値および固有ベクトルの計算などを必要とせず、より簡便に相関と分布をもつ素子パラメータ群を発生できる。このためこのモデルは素子数の多いデジタル LSI のシミュレーションに適したものと見える。

なおここではバイポーラ・メモリの DC 設計への適用例を示したが、AC 設計についても本シミュレーション方法は計算時間の増大を除けば同様に適用でき、また MOS 型 LSI に対しても全く同様に応用できるものである。

謝 辞 本研究に御援助いただいた法政大学・本間紀之教授ならびに(株)日立製作所中央研究所に深謝いたします。

〔文 献〕

- 1) インテルの研究——Pentium とその後を探る、日経エレクトロニクス、No. 577 (1993 年 3 月 29 日号), pp. 95-135
- 2) 猪平 進, 集積回路の CAD 技術, 電子情報通信学会東海支部第 4 回学生向講演会予稿 (1991 年 12 月)
- 3) S. Inohira, *et al.*, A Statistical Model Including Parameter Matching for Analog Integrated Circuits Simulation, IEEE Trans. on Computer-Aided Design, Vol. CAD-4, No. 4, pp. 621-628 (Oct. 1985)
- 4) 中谷一郎, 多変量解析, 新曜社 (1978 年), pp. 12-19
奥野忠一ほか, 多変量解析法, 日科技連出版社 (1981 年)
- 5) 猪平 進, 回路シミュレーションのためのバイポーラ IC のモデリングに関する研究, 静岡大学博士論文 (1989 年 12 月)
- 6) P. R. Gray and R. G. Meyer, Analysis and Design of Analog Integrated

- Circuits (Second edition), 永田穰監訳, 猪平ほか共訳, 超 LSI のためのアナログ集積回路設計技術 (上)(下), 培風館 (1990 年 12 月)
- 7) 久米 均, 統計解析への出発, 岩波書店 (1989 年 3 月), p. 79
 - 8) E. M. Butler, Statistical Modeling for Circuit Design, Electro/78, Recent Advances in Computer Aids for Circuit Design, Reprints for Session 5 (May 1978)
 - 9) 柳井晴夫・高根芳雄, 多変量解析法, 朝倉書店 (1977 年 9 月), pp. 33-51
 - 10) L. W. Nagel, SPICE 2: A Computer Program to Simulate Semiconductor Circuits, Univ. of California, Berkeley, Tech. Rep. TR-ERL-M520 (May 1975)
 - 11) BMD (BioMeDical statistical program), Univ. of California Press, Ltd. (1973)
 - 12) SAS (Statistical Analysis System) User's Guide: Basics & Statistics SAS Institute Inc.
 - 13) 永田穰編, 超高速バイポーラ・デバイス, 培風館 (1985 年)
 - 14) 本間紀之ほか, バイポーラメモリ LSI のメモリセルコレクタ電圧の統計的解析手法, 電子情報通信学会論文誌, C-II, Vol. J72-C-II, No. 5 (1989 年 5 月), pp. 407-413